

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-119685

(43)Date of publication of application : 27.06.1985

(51)Int.Cl.

G11C 7/00
G06F 3/14

(21)Application number : 58-226661

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 30.11.1983

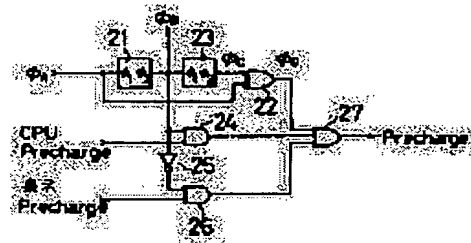
(72)Inventor : KASHIYAMA SHUNJI
KAWAMURA MASAO

(54) MEMORY PRECHARGE CIRCUIT

(57)Abstract:

PURPOSE: To prevent storage content of a video memory from being destroyed by generating a precharge signal by a switch signal of a data read/write address counter to precharge the video memory forcibly.

CONSTITUTION: A flip-flop 21 in a precharge signal generating circuit reads an inputted timing signal $\phi_{iv};A$ in synchronizing with a clock pulse $\phi_{iv};1$, outputs it in synchronizing with a clock pulse $\phi_{iv};2$ and transmits an output timing signal $\phi_{iv};B$ to an address switching circuit as a switching signal. A CPU precharge signal is inputted to an AND circuit 24 and a display precharge signal is inputted to an AND circuit 26. A flip-flop circuit 23 reads a signal from the flip-flop 21 in synchronizing with the clock pulse $\phi_{iv};1$ and outputs it in synchronizing with the clock pulse $\phi_{iv};2$. An output of an EX NOR circuit 22 is inputted to an OR circuit 27 and an output of the OR circuit 27 precharges the video memory.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-119685

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月27日

G 11 C 7/00
G 06 F 3/14

6549-5B

審査請求 未請求 発明の数 2 (全6頁)

⑮ 発明の名称 メモリブリチャージ回路

⑯ 特 願 昭58-226661

⑰ 出 願 昭58(1983)11月30日

⑱ 発 明 者 榎 山 俊 二 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑲ 発 明 者 川 村 昌 男 東京都西多摩郡羽村町栄町3丁目2番1号 カシオ計算機株式会社羽村技術センター内

⑳ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

㉑ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

メモリブリチャージ回路

2. 特許請求の範囲

- (1) メモリと、このメモリを駆動する制御回路と、この制御回路の状態変化に応じて、上記メモリを強制的にブリチャージするためのブリチャージ信号を発生するブリチャージ信号発生回路とよりなるメモリブリチャージ回路。
- (2) 上記制御回路の状態変化は、CPUのクロック周波数の変化であることを特徴とする特許請求の範囲第(1)項記載のメモリブリチャージ回路。
- (3) メモリと、このメモリの書き込みアドレスを指定する第1のアドレス指定手段と、上記メモリの読出しアドレスを指定する第2のアドレス指定手段と、上記第1及び第2のアドレス指定手段を切替えるアドレス切換回路と、CPUからアドレス切換指令が与えられた際、上記アドレス切換回路に切換え信号を出力す

ると共に、ブリチャージ信号を出力して上記メモリを強制的にブリチャージする手段とを具備したことを特徴とするメモリブリチャージ回路。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明はディスプレイ装置におけるメモリブリチャージ回路に関する。

〔従来技術とその問題点〕

パーソナルコンピュータ等の小型電子計算機に用いられるCRTディスプレイ装置においては、一般にCPUを1チップLSI構成とすると共に、ビデオメモリ(RAM)及びその周辺回路を1チップLSI構成としている。そして、ビデオメモリの記憶データを読出す制御部は、CPUからの基本クロックを分周してタイミング信号を作成し、このタイミング信号に同期してビデオメモリのアクセス及びCRT表示部の表示制御等を行なっている。しかして、上記ビデオメモリは、アドレスが変化する時にはメモ

りの特性上必ずブリチャージする必要がある。CRTディスプレイ装置においては、CRT表示画面の帰線期間を利用して、CPUによるビデオメモリへのデータ書き込みが行なわれる。従って、ビデオメモリに対するデータの書き込みと読出しの切換えは、予め定められているタイミングで行なわれるものであり、ブリチャージも容易である。しかしながら、CRTの代わりに液晶表示パネルを使用したパネル型画像表示装置の場合には、帰線期間がないためCPUによるビデオメモリへのアクセスは、そのタイミングが一定ではなく、ランダムに行なわれる。このため従来では、ビデオメモリに対するデータの読出し/書き込みの切換時におけるブリチャージが確実に行なわれず、ビデオメモリの記憶内容が破壊される虞れがあつた。

〔発明の目的〕

本発明は上記の点に鑑みてなされたもので、ビデオメモリに対する読出し/書き込み切換時に強制的にブリチャージを行なうようにして、ビ

デオメモリの記憶内容の破壊を確実に防止することができるメモリブリチャージ回路を提供することを目的とする。

〔発明の第1実施例〕

以下図面を参照して本発明の実施例を説明する。第1図はビデオメモリ及びその周辺回路を1チップ化したLSI 11のブロック図である。同図において12はビデオメモリで、データバスDBを介してCPU(図示せず)等に接続される。そして、上記CPUからはアドレスバスABを介してLSI 11内のY方向アドレスカウンタ13a, 13b及びX方向アドレスカウンタ14a, 14bにアドレスデータが送られる。上記アドレスカウンタ13a, 13bのカウンタ内容は、切換回路15を介してビデオメモリ12のY方向アドレス端子へ入力され、アドレスカウンタ14a, 14bのカウンタ内容は、切換回路16を介してビデオメモリ12のX方向アドレス端子へ入力される。上記アドレスカウンタ13a, 14aは、書き込みアドレス作成

用カウンタ、アドレスカウンタ13b, 14bは、読出しアドレス作成用カウンタである。また、上記切換回路15, 16は、制御回路18からのタイミング信号 ϕ_B によつて切換え動作するもので、タイミング信号 ϕ_B が"1"の時はアドレスカウンタ13a, 14aを選択し、タイミング信号 ϕ_B が"0"の時はアドレスカウンタ13b, 14bを選択する。そして、上記ビデオメモリ12から読出されるデータは、P/S(並列/直列)変換回路17によりシリアルビットに変換され、ビデオ信号としてパネル表示部(図示せず)へ送られる。また、上記読出しアドレス作成用カウンタ13b, 14b及びP/S変換回路17は、制御回路18によつて動作タイミングが制御される。上記制御部18は、第2図に詳細を示すブリチャージ信号発生回路を備え、CPUからコントロールバスCBを介して送られてくるタイミング信号に従つてブリチャージ信号を発生する。また、制御回路18は、LSI 11の外部において水晶発振素子19が接続さ

れ、アドレス用クロックパルス、シフトクロック等を発生する。上記アドレス用クロックパルスはカウンタ13b, 14bへカウントパルスとして送られ、シフトクロックはP/S変換回路17へ送られる。

次に上記制御回路18内に設けられるブリチャージ信号発生回路について、第2図により説明する。CPUから制御回路18には、コントロールバスCBを介して第3図に示すクロックパルス ϕ_1, ϕ_2 、タイミング信号 ϕ_A が送られてくると共に、CPUブリチャージ信号が送られてくる。そして、上記タイミング信号 ϕ_A は、ブリチャージ信号発生回路内のデイレードフリップフロップ21及びイクスクルーシブオア回路(以下EXオア回路と略称する)22へ入力される。上記フリップフロップ21は、入力される信号 ϕ_A をクロックパルス ϕ_1 に同期して読込むと共に、クロックパルス ϕ_2 に同期して出力する。このフリップフロップ21の出力は、第3図に示すタイミング信号 ϕ_B として取出され、

ディレクタフリップフロップ23、アンド回路24へ入力されると共に、インバータ25を介してアンド回路26に入力される。上記フリップフロップ21から出力されるタイミング信号 ϕ_B は、上記したように第1図のアドレス切換回路15、16へ切換信号として送られる。そして、上記アンド回路24にはCPUプリチャージ信号が入力され、アンド回路26には制御回路18内で発生する表示プリチャージ信号が入力される。上記アンド回路24、26の出力信号は、オア回路27へ入力される。一方、上記フリップフロップ23は、フリップフロップ21からの信号をクロックパルス ϕ_1 に同期して既述と共に、クロックパルス ϕ_2 に同期して出力する。このフリップフロップ23の出力は、第3図に示すタイミング信号 ϕ_C としてEXノア回路22へ入力される。そして、このEXノア回路22の出力は、第3図に示すタイミング信号 ϕ_D としてオア回路27へ入力され、このオア回路27の出力によりビデオメモリ

12のプリチャージが行なわれる。

次に上記実施例の動作を説明する。ビデオメモリ12にデータを書込む場合、CPUから送られてくるタイミング信号 ϕ_A は、“1”信号状態に保持されている。このタイミング信号 ϕ_A は、フリップフロップ21に既述まれ、その出力が“1”状態に保持される。このためアンド回路24のゲートが開かれると共に、アドレス切換回路15、16がアドレスカウンタ13a、14a側に切換わる。この状態でCPUは、Y方向アドレスカウンタ13a及びX方向アドレスカウンタ14aにアドレスバスABを介してそれぞれアドレスをセットし、続いてデータバスDBを介してデータを出力し、ビデオメモリ12に任意のデータを書込む。また、CPUはデータの書込みを行なう際、第4図に示すようにアドレスが変わる毎にCPUプリチャージ信号を出力する。このCPUプリチャージ信号は、アンド回路24及びオア回路27を介して出力され、これによりビデオメモリ12のプリチャ

ージが行なわれる。

しかして、CPUはビデオメモリ12へのデータ書込みを終了すると、タイミング信号 ϕ_A を“0”にし、表示モードに切換える。このタイミング信号 ϕ_A は第3図に示すようにクロックパルス ϕ_1 、 ϕ_2 に同期してフリップフロップ21に既述まれ、1ビット遅れて出力される。この結果、フリップフロップ21の出力が“0”になり、アドレス切換回路15、16がアドレスカウンタ13b、14b側に切換わると共にアンド回路24のゲートが閉じ、さらにインバータ25の出力が“1”になつてアンド回路26のゲートを開く。また、上記フリップフロップ21の“0”出力は、クロックパルス ϕ_1 、 ϕ_2 に同期してフリップフロップ23に既述まれ、第3図に示すようにタイミング信号 ϕ_C として出力され、EXオア回路22へ入力される。この場合、タイミング信号 ϕ_A が“0”になつてからフリップフロップ23の出力信号 ϕ_C が“0”になるまでの間は、EXオア回路22の論理条件が成立

し、その出力信号 ϕ_D が“1”になる。このEXオア回路22の出力信号 ϕ_D は、オア回路27を介して出力され、これによりビデオメモリ12のプリチャージが行なわれる。すなわち、フリップフロップ21の出力信号 ϕ_B によりアドレス切換回路15、16の切換えが行なわれる際、プリチャージ信号が出力されて強制的にプリチャージが行なわれる。そして、上記のように表示モードに切換わると、アドレスカウンタ13b、14bにより指定されるアドレスに従つてビデオメモリ12の内容がP/S変換回路17に既述され、シリアルビットに変換されてパネル表示部へ送られる。この場合、制御回路18によりアドレスカウンタ13b、14bのカウンタ制御が行なわれるが、表示画面をスクロールする場合には、CPUによつてアドレスカウンタ13b、14bに初期アドレスが設定される。しかして、上記制御回路18は、アドレスカウンタ13b、14bのカウンタ制御を行なう際、表示プリチャージ信号を出力し、アンド回路

26へ入力する。表示モードではインバータ26の出力が“1”となつてアンド回路26のゲートが開かれているので、上記表示プリチャージ信号はアンド回路26及びオア回路27を介して出力され、これによりビデオメモリ12のプリチャージが行なわれる。その後、CPUがビデオメモリ12にデータを書込む場合には、CPUからタイミング信号 ϕ_A (“1”)が出力され、表示モードへの切換時と同様にして強制的にプリチャージが行なわれる。

上記のように第1実施例においては、非同期で動作するデータ書込み用のアドレスカウンタ13a、14aとデータ読出し用のアドレスカウンタ13b、14bとを切換える場合、その切換信号によつてプリチャージ信号を発生し、強制的にビデオメモリ12をプリチャージするようにしている。どのようなタイミングでアドレスの切換えが行なわれても、ビデオメモリ12の記憶内容を保護することができる。

〔発明の第2実施例〕

合は、出力ライン a_1, b_1 から“1”信号を出力する。そして、上記出力ライン a_1, a_2, b_1, b_2 から出力される信号は、アンド回路32~35へ入力される。また、上記アンド回路32~35には、パルス信号発生回路36~39がそれぞれ接続される。上記パルス信号発生回路36~39は、CPUからのクロックパルス ϕ_1 をカウントし、アドレス更新時にそれぞれ異なる時間幅のパルス信号 $P_1 \sim P_4$ を発生する。この場合、パルス信号 $P_1 \sim P_4$ の時間幅は、 $P_1 < P_2, P_2 < P_3$ の関係に設定される。そして、上記アンド回路32、33の出力は、オア回路40を介してプリチャージ信号Pre1として出力され、アンド回路34、35の出力はプリチャージ信号Pre2として出力される。そして、上記プリチャージ信号Pre1はアドレスデコーダ42へ送られ、プリチャージ信号Pre2はキャラクタジェネレータを構成するダイナミックROM43へ送られる。上記アドレスデコーダ42は、CPUからのアドレスデモタをデコードし、ROM43

次に本発明の第2実施例について説明する。液晶表示部を駆動する表示駆動回路では、表示用のRAMとキャラクタジェネレータ用のROMを内蔵しているものがある。上記キャラクタジェネレータ用ROMは、一般にダイナミックROMにより構成されているが、ダイナミックROMの場合、プリチャージ信号が必要である。このプリチャージ信号は、CPUのクロックにより作られるので、CPUを取変えてクロックの周波数が変わるとパルス幅が変化し、プリチャージが不確実になる。このため第2の実施例では、CPUのクロック周波数が変わつてもROMに適しパルス幅のプリチャージ信号を選択できるように構成している。すなわち、第5図において M_1, M_2 はCPUの種類に応じて設定されるモード信号で、デコーダ31へ入力される。このデコーダ31は4本の出力ライン a_1, a_2, b_1, b_2 を備え、モード信号 M_1 が与えられている場合は出力ライン a_1, b_1 から“1”信号を出力し、モード信号 M_2 が与えられている場

のアドレスを指定する。このROM43から読出されるキャラクタデータは、レジスタ44に一時記憶され、表示部(図示せず)へ送られる。

上記の構成において、モード信号 M_1, M_2 はCPUの種類に応じて設定する。すなわち、クロック周波数の低いCPUの場合はモード信号 M_1 を指定し、クロック周波数が高いCPUの場合はモード信号 M_2 を指定する。今、クロック周波数の低いCPUを使用する場合において、モード信号 M_1 を指定したとすれば、デコーダ31の出力ライン a_1, b_1 から“1”信号が出力され、アンド回路32、34のゲートが開かれる。このため第6図に示すようにROM43に対するデータが更新される際に、パルス信号発生回路36、38で発生したパルス信号 P_1, P_3 がそれぞれアンド回路32、34及びオア回路40、41を介してプリチャージ信号Pre1、Pre2として出力され、アドレスデコーダ42及びROM43のプリチャージが行なわれる。

また、クロック周波数の高いCPUを使用す

る場合において、モード信号 M_2 を指定した場合は、デコーダ31の出力ライン a_2, b_2 から1信号が出力され、アンド回路33, 35のゲートが開かれる。このためパルス信号発生回路36, 38で発生したパルス信号 P_2, P_4 がアンド回路33, 35及びオア回路40, 41を介してプリチャージ信号Pre 1, Pre 2として出力され、アドレスデコーダ42及びROM 43のプリチャージが行なわれる。この場合、上記パルス信号 P_2, P_4 は、パルス信号発生回路36, 38から出力されるパルス信号 P_1, P_3 の時間幅に対し、 $P_1 < P_2, P_3 < P_4$ の関係に設定されているので、CPUのクロック ϕ_1 の周波数が高い場合、パルス信号 P_2, P_4 の時間幅はクロック ϕ_1 の周波数が低い場合のパルス信号 P_1, P_3 と略同しになる。従つて、プリチャージ信号Pre 1, Pre 2は、クロック周波数の異なるCPUを使用しても時間幅が略同じになり、アドレスデコーダ42及びROM 43のプリチャージを確実に行なうことができる。

上記第5図に示す実施例では、CPUに応じて2種のプリチャージ信号を選択できるようにしたが、更に多数のプリチャージ信号を発生して多量のCPUに適合できるようにしてもよい。

(発明の効果)

以上述べたように本発明によれば、ディスプレイ装置において、ビデオメモリに対し、非同期で動作するデータ書き込み用のアドレスカウンタとデータ読出し用のアドレスカウンタとを切替える場合、その切替信号によつてプリチャージ信号を発生し、強制的にビデオメモリをプリチャージするようにしているので、どのようなタイミングでアドレスカウンタの切替えが行なわれても、ビデオメモリの記憶内容を確実に保護することができる。

4. 図面の簡単な説明

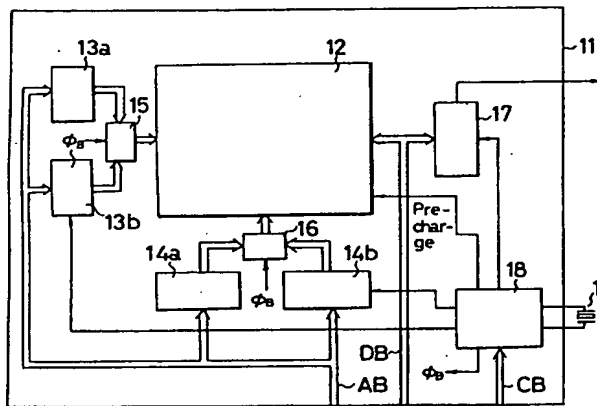
第1図ないし第4図は本発明の一実施例を示すもので、第1図はビデオメモリ及びその周辺回路を示すブロック図、第2図は第1図における制御部の要部を示す回路構成図、第3図及び

第4図は動作を説明するためのタイミングチャート、第5図は本発明の他の実施例を示す回路構成図、第6図は同実施例の動作を説明するためのタイミングチャートである。

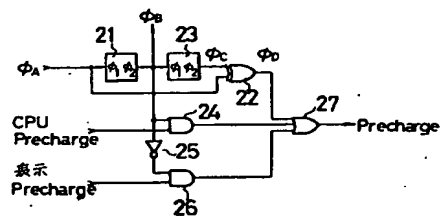
11...LSI、12...ビデオメモリ、13a、14a...Y方向アドレスカウンタ、13b、14b...X方向アドレスカウンタ、15、16...アドレス切替回路、17...P/S変換回路、18...制御回路、19...水晶発振子、21、23...フリップフロップ。

出願人代理人 弁理士 鈴江 武彦

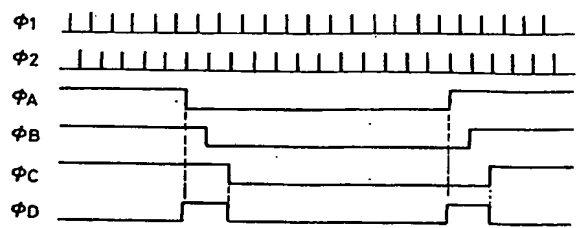
第 1 図



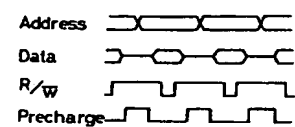
第 2 図



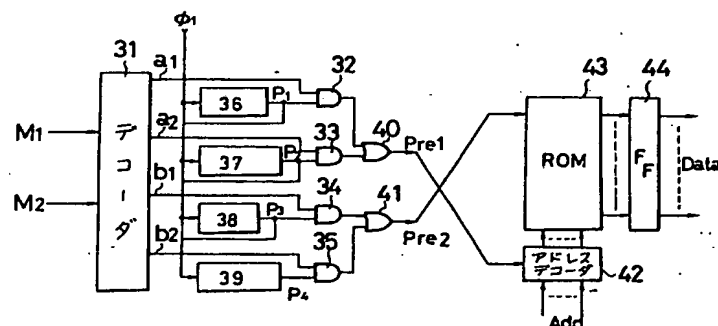
第 3 図



第 4 図



第 5 図



第 6 図

